

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
12 février 2004 (12.02.2004)

PCT

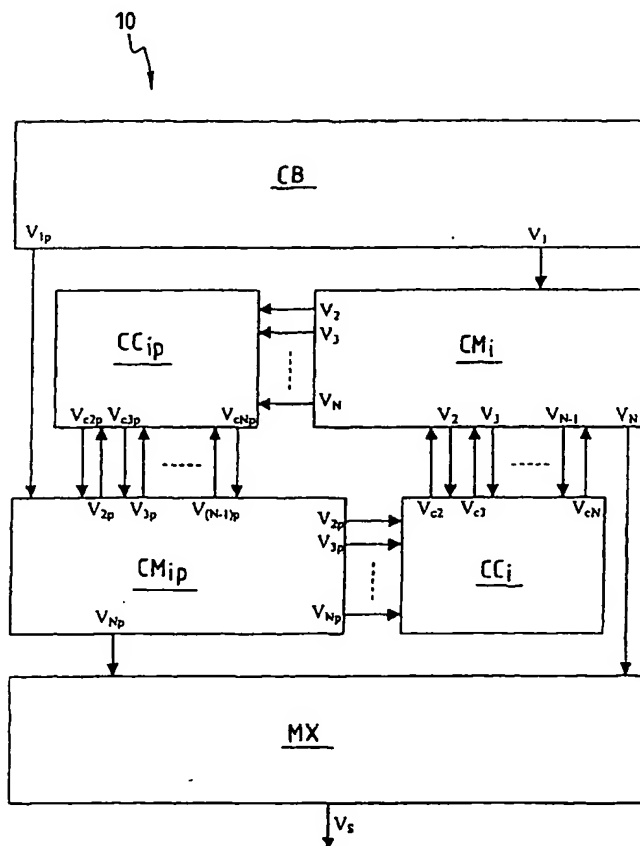
(10) Numéro de publication internationale
WO 2004/013949 A2

- (51) Classification internationale des brevets⁷ : H02M (71) Déposant (pour tous les États désignés sauf US) :
CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, rue Michel-Ange, F-75794 Paris
Cedex 16 (FR).
- (21) Numéro de la demande internationale : PCT/FR2003/002351
- (22) Date de dépôt international : 25 juillet 2003 (25.07.2003) (72) Inventeurs; et
(75) Inventeurs/Déposants (pour US seulement) : ZHANG,
Ming [CN/FR]; 7, allée Jacques Bainville, F-94300 Vin-
cennes (FR). LLASER, Nicolas [FR/FR]; 7, allée Jacques
Bainville, F-94300 Vincennes (FR).
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité : (74) Mandataires : CABINET ORES etc.; 36, rue de St Pe-
tersbourg, F-75008 Paris (FR);
02/09653 30 juillet 2002 (30.07.2002) FR

[Suite sur la page suivante]

(54) Title: VOLTAGE-VOLTAGE CONVERTER FOR INTEGRATED CIRCUITS

(54) Titre : CONVERTISSEUR TENSION/TENSION POUR CIRCUITS INTEGRES.



(57) Abstract: Disclosed is a voltage-voltage converter for integrated circuits. The invention is characterized by the fact that said converter has a multi-stage symmetric structure and comprises at least one input stage that is formed by a clock booster (CB) circuit which has a symmetric structure and supplies two output voltages, a voltage multiplier stage that has a symmetric structure and comprises two voltage multiplier circuits (CM_i; CM_{ip}) which are mounted in two branches (B1; B2) of the converter and to which the two output voltages of the input stage are applied, respectively, and an output stage (S) formed by a multiplexing (MX) circuit to which the two output voltages of the voltage multiplier stage are applied. The invention applies to EEPROM memories and low-voltage integrated circuits.

(57) Abrégé : Convertisseur tension/tension pour circuits intégrés, caractérisé en ce qu'il présente une structure symétrique à plusieurs étages et comprend au moins un étage d'entrée constitué par un circuit survolteur d'horloge (CB) à structure symétrique qui délivre deux tensions de sortie, un étage multiplicateur de tension à structure symétrique comprenant deux circuits multiplicateurs de tension (CM_i ; CM_{ip}) respectivement montés dans deux branches (B1 ; B2) du convertisseur et auxquels sont respectivement appliqués les deux tensions de sortie de l'étage d'entrée, et un étage de sortie (S) constitué par un circuit multiplexeur (MX) auquel

sont appliquées les deux tensions de sortie

[Suite sur la page suivante]



(81) États désignés (*national*) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (*régional*) : brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.